

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-142455

(43)Date of publication of application : 17.05.2002

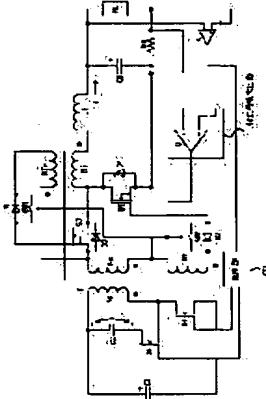
(51)Int.Cl. H02M 3/28  
                   H02M 3/335  
                   H02M 7/21

(21)Application number : 2000-332313 (71)Applicant : YOKOGAWA ELECTRIC CORP

(22)Date of filing : 31.10.2000 (72)Inventor : NAITO YOSHINAO  
   HANAWAKA MASUO**(54) DC-DC CONVERTER****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To achieve a DC-DC converter for preventing loss in a light load.

**SOLUTION:** Improvement has been made to the forward-type DC-DC converter for rectifying a secondary-side circuit by a rectification circuit having first and second switches for driving using first and second drive coil winding being provided at a transformer for converting voltage from a primary-side circuit to the secondary-side circuit. The DC-DC converter has a light load detection section for detecting the light load of output and turning off the first and second switches in a light load.

**LEGAL STATUS**

[Date of request for examination] 22.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3781174

[Date of registration] 17.03.2006

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

**[Claim 1]** The DC to DC converter characterized by preparing the light load detecting element which detects the light load of an output and turns off said 1st and 2nd switch in the DC to DC converter of the forward mold which rectifies a secondary circuit at the time of a light load by the 1st prepared in the secondary circuit from the primary side circuit at the transformer which performs electrical-potential-difference conversion, and the rectifier circuit equipped with the 1st and 2nd switch driven with the 2nd drive coil.

**[Claim 2]** The transformer equipped with a primary side coil, a secondary coil, the 1st drive coil, and the 2nd drive coil. The main switch which makes said primary side coil energize the power from a power source intermittently. It connects with said primary side coil at juxtaposition. A capacitor and the series circuit of a subswitch, The control section which outputs the control signal made to turn on and off said main switch and said subswitch by turns, The rectifier circuit which rectifies the current which is equipped with the 1st switch driven with said 1st drive coil, and the 2nd switch driven with said 2nd drive coil, and said secondary coil generates, In the DC to DC converter of the forward mold which has the inductance component prepared between the output capacitor which inputs the output of this rectifier circuit, and said secondary coil and said output capacitor The DC to DC converter characterized by preparing the light load detecting element which detects the light load of an output and turns off said 1st and 2nd switch at the time of a light load.

**[Claim 3]** An inductance component is a coil or a DC to DC converter according to claim 2 characterized by providing at least one of the 3rd coil formed in the transformer.

**[Claim 4]** A light load detecting element is a DC to DC converter according to claim 1 to 3 characterized by switching the 1st and 2nd switch to diode rectification at the time of a light load.

**[Claim 5]** It is the DC to DC converter according to claim 1 to 4 which possesses the 3rd switch formed between the 1st drive coil and the 1st switch, and the 4th switch formed between the 2nd drive coil and the 2nd switch, and is characterized by a light load detecting element turning off said 3rd and 4th switch at the time of a light load.

**[Claim 6]** The DC to DC converter according to claim 5 characterized by forming diode in juxtaposition at the 3rd and 4th switch.

**[Claim 7]** The 1st and 2nd switch is a DC to DC converter according to claim 1 to 6 characterized by being MOSFET.

**[Claim 8]** The DC to DC converter of claim 1 characterized by forming diode in juxtaposition at the 1st and 2nd switch - 7 \*\*.

---

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the DC to DC converter which prevents the loss at the time of a light load about the DC to DC converter of a forward mold.

[0002]

[Description of the Prior Art] In power units, such as switching power supply, the DC to DC converter is used as equipment which insulates direct-current input voltage and supplies power to a load circuit. That by which a forward mold and a flyback mold exist, for example, the DC to DC converter of such a configuration is indicated as a DC to DC converter of a forward mold by the polar difference between the upstream coil of an isolation transformer and a secondary coil at United States patent USP4441146 and the USP4959764 grade is known. Such equipment is shown and explained to drawing 6.

[0003] drawing 6 -- setting -- C1-C3 -- for a coil and L1, a coil and RL are [ a capacitor, and Q1-Q4 / MOSFET, Np, Ns, Nfw, Nfl, and nickel of n mold / error amplifier and CTL of a load circuit and A ] control sections. Coils Np, Ns, Nfw, Nfl, and nickel constitute a transformer T1, and MOSFETQ3 and Q4 constitute a rectifier circuit. Here, a turn ratio is taken as  $Np \geq Ns > \text{nickel}$ .

[0004] A capacitor C1 connects an end to the end of a capacitor C2, and the end of Coil Np. A capacitor C2 connects the other end to the drain of MOSFETQ2. Coil Np is a primary side coil and connects the other end to the drain of MOSFETQ1. MOSFETQ2 is a subswitch and connects the source to the drain of MOSFETQ1. MOSFETQ1 is a main switch and connects the source to the other end of a capacitor C1.

[0005] Coil Ns is a secondary coil, connects an end to the source of MOSFETQ3, and connects the other end to the source of MOSFETQ4. Coil Nfw is a drive coil, connects an end to the source of MOSFETQ3, and connects the other end to the gate of MOSFETQ3. Coil Nfl is a drive coil, connects an end to the source of MOSFETQ4, and connects the other end to the gate of MOSFETQ4.

[0006] MOSFETQ3 and Q4 are the 1st and 2nd switch, and they connect a drain to the end of Coil nickel. Coil nickel connects the other end to the end of a coil L1. A coil L1 is an inductance component and connects the other end to the end of a capacitor C3. A capacitor C3 is an output capacitor and connects the other end to the other end of Coil Ns. A load circuit RL is connected to a capacitor C3 at juxtaposition.

[0007] The error amplifier A connects a minus edge to the end of a capacitor C1, and connects a plus edge to the other end of a capacitor C1 through reference voltage. A control section CTL outputs to the gate of MOSFETQ1 and Q2 based on the output of the error amplifier A.

[0008] Such equipment is explained below. Drawing 7 and 8 are the timing charts which showed actuation of the equipment shown in drawing 6, and drawing 8 is the enlarged drawing of drawing 7. In drawing 7 and 8 (a) The drain-source electrical potential difference Vds of MOSFETQ1, The drain current Id of MOSFETQ1 and (c) (b) The drain current Id of MOSFETQ2, The current IL of a coil L1 and (e) (d) The gate-source electrical potential difference Vgs of MOSFETQ2, (f) is [ the gate-source electrical potential difference Vgs of MOSFETQ3 and (h) of the gate-source electrical potential difference Vgs of MOSFETQ1 and (g) ] the gate-source electrical potential differences Vgs of MOSFETQ4. and (i) -- the current INs of Coil Ns, and (j) -- for the electrical

potential difference VL 1 of a coil L1, and (m), the drain current Id of MOSFETQ4 and (n) are [ the electrical potential difference VNs of Coil Ns, and (k) / the electrical potential difference VNi of Coil nickel, and (l) / the electrical potential difference VC 2 of a coil C2 and (p of the output current Ig of a capacitor C1 and (o)) ] output voltage Vo.

[0009] Moreover, drawing 9 –14 are drawing explaining actuation of the equipment shown in drawing 6, and are shown by the equal circuit. Drawing 9 shows the polarity of each part electrical potential difference, and drawing 10 –14 show actuation of time-of-day t3–t4 period, time-of-day t4–t5 period, time-of-day t5–t6 period, time-of-day t6–t7 period, and time-of-day t7–t8 period, respectively.

[0010] (1) The capacitor C1 during a time-of-day t0–t1, t1–t2, and t2–t tertiary stage is a smoothing capacitor which makes the electrical potential difference from the AC power supply which is not illustrated direct current voltage, and operates as DC power supply. And the error amplifier A compares with output voltage Vo and reference voltage, and a control section CTL turns on and turns off MOSFETQ1 and Q2 by turns by the comparison result. This keeps output voltage Vo constant. And electrical-potential-difference conversion of the direct current voltage of a capacitor C1 is carried out through a transformer T1.

[0011] When MOSFETQ1 is ON at this time, by the transformer T1 (drive coils Nfw and Nfl), MOSFETQ3 serves as ON and MOSFETQ4 serves as OFF. On the contrary, when MOSFETQ1 is OFF, by the transformer T1, MOSFETQ3 becomes off and MOSFETQ4 serves as ON.

[0012] When MOSFETQ3 is ON, a capacitor C3 is charged according to the current INs of Coil Ns, and when MOSFETQ4 is ON, a capacitor C3 is charged with the inductance of Coil nickel and a coil L1. Moreover, the ripple current is made into zero with Coil nickel.

[0013] And a capacitor C3 supplies power to a load circuit RL. In addition, since it is general actuation during a time-of-day t0–t tertiary stage, detailed explanation of operation is omitted.

[0014] (2) Time-of-day t3–t4 period ( drawing 10 )

The output capacitance of MOSFETQ2 is discharging to the forward voltage of body diode in the "on" period of MOSFETQ2. For this reason, it will charge in time-of-day t 3:00 until MOSFETQ2 becomes off, a current flows in the direction of the coil Np of a transformer T1 from the clamp capacitor C2 and it balances the electrical potential difference of a capacitor C2 in the output capacitance of MOSFETQ2. For this reason, the drain-source electrical potential difference Vds of MOSFETQ1 falls to the electrical potential difference Vg of the input smoothing capacitor C1. And when a current flows to Coil Np, Coil Nfl sets MOSFETQ4 to ON, and a capacitor C3 discharges.

[0015] (3) Time-of-day t4–t5 period ( drawing 11 )

Time of day t4 comes, and with the output of the error amplifier A, a control section CTL detects a light load (no-load is included), and makes MOSFETQ1 and Q2 off. This is for decreasing switching loss and it is because also turning off MOSFETQ2 connects too hastily in the path which the energy accumulated in the clamp capacitor C2 becomes from the coil Np of MOSFETQ2 and a transformer T1 and loss occurs.

[0016] Although the current which was flowing from the clamping circuit (capacitors C2 and MOSFETQ2) to Coil Np to the timing of time of day t4 will not flow, a current tends to continue flowing by the leakage inductance of Coil Np. For this reason, the body diode of MOSFETQ1 turns on and a current flows to the input smoothing capacitor C1 via Coil Np.

[0017] Since the body diode of MOSFETQ1 is turned on, the drain-source Vds of

MOSFETQ1 falls to the forward voltage of body diode.

[0018] The polarity of each coil is reversed with this current, and Coil Nfw turns ON MOSFETQ3. Since it is  $>$  (number of turns of Coil Ns) (number of turns of Coil nickel) once MOSFETQ3 turns on, the discharge to the primary side smoothing capacitor C1 is generated by the secondary smoothing capacitor C3 via Coil Ns and Np.

[0019] And finally the charging current Id of a capacitor C1, i.e., the drain current of MOSFETQ1, is set to 0 with charge of a capacitor C1.

[0020] (4) Time-of-day t5-t6 period ( drawing 12 )

To the timing of time of day t5, since MOSFETQ3 still turns on, the current IL which was flowing in the coil L1 flows to Coil Np via Coil nickel and Ns, and charges the output capacitance of MOSFETQ2 charged to hard flow at time-of-day t3-t4 period to the forward voltage of the body diode of MOSFETQ2.

[0021] If the output capacitance of MOSFETQ2 is charged, since the body diode of MOSFETQ2 will serve as ON, a capacitor C2 is charged. The current IL of a coil L1 decreases with charge.

[0022] (5) Time-of-day t6-t7 period ( drawing 13 )

By the output capacitance of capacitors C2 and MOSFETQ2, and resonance of Coil Np, a current is [ outflow and the polarity of each coil ] reversed in the coil Np direction from a capacitor C2, and since MOSFETQ4 is turned on with Coil Nfl, Current IL flows into hard flow.

[0023] (6) Time-of-day t7-t8 period ( drawing 14 )

In order that the polarity of each coil may be reversed again with the output capacitance of capacitors C2 and MOSFETQ2, and resonance of Coil Np, MOSFETQ3 becomes ON with Coil Nfw.

[0024] Since the polarity of each electrical potential difference [ in / actuation of this period is the same as that of time-of-day t3-t4 period, and / the timing of time of day t8 ] and a current becomes the same as time of day t4, vibration will continue.

[0025]

[Problem(s) to be Solved by the Invention] Thus, as a cure against loss at the time of a light load, although the intermittent control action of the DC to DC converter is carried out, output voltage Vo declines early by reviving the energy currently stored in the secondary smoothing capacitor C3 according to generating of a shimmy at the time of a halt of a DC to DC converter at a primary side. For this reason, the loss at the time of a light load increased, and there was a trouble that the halt period of the DC to DC converter of an intermittent control action will become short.

[0026] Then, the purpose of this invention is to realize the DC to DC converter which prevents the loss at the time of a light load.

[0027]

[Means for Solving the Problem] This invention is characterized by preparing the light load detecting element which detects the light load of an output and turns off said 1st and 2nd switch in the DC to DC converter of the forward mold which rectifies a secondary circuit at the time of a light load by the 1st prepared in the secondary circuit from the primary side circuit at the transformer which performs electrical-potential-difference conversion, and the rectifier circuit equipped with the 1st and 2nd switch driven with the 2nd drive coil.

[0028]

[Embodiment of the Invention] The gestalt of operation of this invention is explained using a drawing below. Drawing 1 is the block diagram having shown one example of this

invention. Here, the same thing as drawing 6 attaches the same sign, and omits explanation.

[0029] For D1-D4, as for the 3rd and 4th switch and Rs, in drawing 1, diode, and SW1 and SW2 are [ current detection resistance and 1 ] light load detectors.

[0030] Diode D1 connects an anode to the gate of MOSFETQ3, and connects a cathode to the other end of Coil Nfw. Diode D2 connects an anode to the gate of MOSFETQ4, and connects a cathode to the other end of Coil Nfl. Diodes D3 and D4 connect an anode to the source of MOSFETQ3 and Q4, respectively, and connect a cathode to the drain of MOSFETQ3 and Q4. Switches SW1 and SW2 are formed in juxtaposition at diodes D1 and D2, respectively.

[0031] The current detection resistance Rs is formed between the other end of a capacitor C3, and the other end of a load circuit RL. The light load detector 1 is constituted by Comparator U. Comparator U connects a plus terminal to the other end of a load circuit RL, connects a minus terminal to the other end of a capacitor C1 through reference voltage, when an output is high-level, turns on switches SW1 and SW2, and switches off at the time of a low level.

[0032] Actuation of such equipment is explained below. Drawing 2 is a timing chart explaining actuation of the equipment shown in drawing 1. In addition, (a) – (p) is the same as that of drawing 7 and 8.

[0033] At the time of time of day t1, a load becomes light, the output current decreases and the electrical potential difference of the both ends of the detection resistance Rs also decreases. Consequently, since the light load detector 1 (comparator U) becomes lower than reference voltage, a low level is outputted. Switches SW1 and SW2 become off by this, and Coils Nfw and Nfl are separated from MOSFETQ3 and Q4.

[0034] At this time, separation of Coils Nfw and Nfl Since it is carried out regardless of shift, the control timing, i.e., the light load condition, of MOSFETQ1 and Q2, When the electrical potential difference turned ON has generated MOSFETQ3 and Q4 in Coils Nfw and Nfl, switches SW1 and SW2 off more The charge accumulated in the gate of MOSFETQ3 and Q4 cannot be discharged, but MOSFETQ3 and Q4 will maintain an ON state, and they will short-circuit a secondary circuit. Then, with diodes D1 and D2, the charge of the gate of MOSFETQ3 and Q4 is made to discharge, and suppose that it is off.

[0035] Moreover, synchronous detection is continued by the body diode and diodes D3 and D4 of MOSFETQ3 and Q4.

[0036] At the time of time of day t2, the error amplifier A outputs a low level, and with this output, a control section CTL judges it as a light load condition, and turns off MOSFETQ1 and Q2. However, with switches SW1 and SW2, since MOSFETQ3 and Q4 are already off, resonance is not continued.

[0037] Thus, since the light load detector 1 detects a light load, turns off the switches SW1 and SW2 which constitute a rectifier circuit and actuation of MOSFETQ3 and Q4 is stopped, malfunction of MOSFETQ3 and Q4 by resonance of the primary side circuit at the time of a DC to DC converter halt is prevented, and it can prevent supplying energy required for resonance to a primary side circuit from a secondary circuit. That is, the loss at the time of a light load can be prevented.

[0038] In addition, although the example which formed diodes D3 and D4 was shown, since rectification is performed by the body diode of MOSFETQ3 and Q4, the configuration which is not is sufficient as diodes D3 and D4. Though loss with the body diode of MOSFETQ3 and Q4 is inferior to the usual rectifier diode, especially since it is at the light load time, it does not become a problem.

[0039] Next, the 2nd example is shown and explained to drawing 3. Here, the same thing as drawing 1 attaches the same sign, and omits explanation.

[0040] drawing 3 -- setting -- Nfw' -- as for resistance, and D5-D7, for a PNP transistor and Q8, an NPN transistor, and R1-R5 are [ MOSFET, Q6, and Q7 of n mold / a drive coil and Q5 / diode and U1 ] comparators. Coils Np and Ns, Nfw', and Nfl and nickel constitute a transformer T2, and MOSFETQ4 and Q5 constitute a rectifier circuit. And transistors Q6 and Q7, resistance R1-R4, and diodes D2, D5-D7 constitute the synchronous detection halt circuit 2, and a transistor Q8, resistance R5, and a comparator U1 constitute the light load detector 3.

[0041] MOSFETQ5 is formed instead of MOSFETQ3, connects a drain to the other end of Coil Ns, and connects the source to the source of MOSFETQ4. Coil Nfw' is prepared instead of Coil Nfw, connects an end to the other end of Coil Ns, and connects the other end to the emitter of a transistor Q6.

[0042] A transistor Q6 connects a collector to the gate of MOSFETQ5. Resistance R1 is formed between the emitter of a transistor Q6, and the base. Diode D5 connects an anode to the collector of a transistor Q6, and connects a cathode to the emitter of a transistor Q6.

[0043] A transistor Q7 is formed instead of a switch SW2, connects a collector to the anode of diode D2, and connects an emitter to the cathode of diode D2. Resistance R2 is formed between the emitter of a transistor Q7, and the base.

[0044] Resistance R3 and R4 connects an end to the base of transistors Q6 and Q7, respectively. Diodes D6 and D7 connect an anode to the other end of resistance R3 and R4, respectively.

[0045] A transistor Q8 connects a collector to the cathode of diodes D6 and D7, and connects an emitter to the other end of a capacitor C3. Resistance R5 connects an end to the base of a transistor Q8. A comparator U1 connects an output to the other end of resistance R5, connects a plus terminal to the other end of a load circuit RL, and connects a minus terminal to the other end of a capacitor C3 through reference voltage.

[0046] Such equipment prepares MOSFETQ5 instead of MOSFETQ3, and coil Nfw' is prepared instead of Coil Nfw in connection with this. And an example with transistors Q6 and Q7 is shown as a concrete configuration of the 3rd and 4th switch SW1 and SW2, and the light load detector 3 is shown as a concrete configuration of a light load detecting element. Therefore, since the equipment and actuation which are shown in drawing 1 are the same, explanation is omitted.

[0047] And the 3rd example is shown in drawing 4 and it explains below. Here, the same thing as drawing 3 attaches the same sign, and omits explanation.

[0048] As for Q9 and Q10, in drawing 4, MOSFET of p mold and U2 are comparators. Transistors Q9 and Q10, resistance R1-R4, and diodes D6 and D7 constitute the synchronous detection halt circuit 4, and a transistor Q8, resistance R5, and a comparator U2 constitute the light load detector 5.

[0049] MOSFETQ9 is formed instead of a transistor Q6 and diode D5, connects the source to the other end of coil Nfw', connects a drain to the gate of MOSFETQ5, and connects the gate to the end of resistance R3.

[0050] MOSFETQ10 is formed instead of a transistor Q7 and diode D2, connects the source to the other end of Coil Nfl, connects a drain to the gate of MOSFETQ4, and connects the gate to the other end of resistance R4.

[0051] A comparator U2 is formed instead of Resistance Rs and a comparator U1, connects an output to the other end of resistance R5, connects a plus terminal to the

outgoing end of the error amplifier A, and connects a minus terminal to the other end of a load circuit RL through reference voltage.

[0052] Since the example by MOSFETQ9 and Q10 is shown as a concrete configuration of the 3rd and 4th switch and the body diode of MOSFETQ3 and Q4 carries out instead of [ of diodes D2 and D5 ], such equipment becomes unnecessary. Moreover, since the output voltage of the error amplifier A is proportional to output power, the detecting point of the light load detector 5 is made into the output voltage of the error amplifier A. Therefore, since the equipment and actuation which are shown in this example and drawing 1 are the same, explanation is omitted.

[0053] Moreover, the 4th example is shown and explained to drawing 5. Here, drawing 3 and what is the same as that of 4 attach the same sign, and omit explanation.

[0054] In drawing 5, transistors Q6 and MOSFETQ10, resistance R1-R4, and diodes D5-D7 constitute the synchronous detection halt circuit 6, and Coils Np and Ns, Nfw', and Nfl constitute transformer T3. That is, the synchronous detection halt circuit 6 constitutes the 3rd switch from a transistor Q5, and constitutes the 4th switch from MOSFETQ10. Transformer T3 loses Coil nickel to a transformer T2. About actuation, making the ripple current by Coil nickel into zero is only lost, and since normal operation is the same as that of the usual DC to DC converter and the actuation at the time of a light load is the same as that of the equipment shown in drawing 1, explanation is omitted.

[0055] In addition, this invention is not limited to this, and although it showed the example which constituted the switch by MOSFETQ1-Q5, it may consist of a transistor, a relay, etc. However, since body diode of MOSFET cannot be used as shown in drawing 1, it cannot be overemphasized that diode must be formed in the same direction as body diode.

[0056] Moreover, although the configuration which loses Coil nickel was shown as shown in drawing 5, the configuration of leaving Coil nickel and losing a coil L1 may be used.

[0057] And an inductance component (Coil nickel, coil L1) may be made the configuration prepared between the source of MOSFETQ4, and the other end of a capacitor C3.

[0058]

[Effect of the Invention] Since actuation of the 1st and 2nd switch with which a light load detecting element detects a light load, and constitutes a rectifier circuit is stopped according to this invention, malfunction of the 1st and 2nd switch by resonance of the primary side circuit at the time of a DC to DC converter halt is prevented, and it can prevent supplying energy required for resonance to a primary side circuit from a secondary circuit. That is, the loss at the time of a light load can be prevented.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the block diagram having shown one example of this invention.

[Drawing 2] It is the timing chart which showed actuation of the equipment shown in drawing 1.

[Drawing 3] It is the block diagram having shown the 2nd example of this invention.

[Drawing 4] It is the block diagram having shown the 3rd example of this invention.

[Drawing 5] It is the block diagram having shown the 4th example of this invention.

[Drawing 6] It is drawing having shown the configuration of the conventional DC to DC converter.

[Drawing 7] It is the timing chart which showed actuation of the equipment shown in drawing 6 .

[Drawing 8] It is the enlarged drawing of the equipment shown in drawing 7 .

[Drawing 9] It is drawing explaining actuation of the equipment shown in drawing 6 .

[Drawing 10] It is drawing explaining actuation of the equipment shown in drawing 6 .

[Drawing 11] It is drawing explaining actuation of the equipment shown in drawing 6 .

[Drawing 12] It is drawing explaining actuation of the equipment shown in drawing 6 .

[Drawing 13] It is drawing explaining actuation of the equipment shown in drawing 6 .

[Drawing 14] It is drawing explaining actuation of the equipment shown in drawing 6 .

[Description of Notations]

1, 3, 5 Light load detector

2 Four Synchronous detection halt circuit

C1-C3 Capacitor

CTL Control section

D1-D5 Diode

L1 Coil

Np, Ns, Nfw, Nfw', Nfl, nickel Coil

Q1-Q5, Q9, Q10 MOSFET

Q6, Q7 Transistor

Rs Resistance

SW1, SW2 Switch

T1 – T3 Transformer

---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-142455

(P2002-142455A)

(43)公開日 平成14年5月17日 (2002.5.17)

(51)Int.Cl.<sup>7</sup>  
H 02 M 3/28

識別記号

F I  
H 02 M 3/28

テマコト<sup>7</sup>(参考)  
H 5 H 0 0 6  
F 5 H 7 3 0

3/335

3/335

B

審査請求 未請求 請求項の数 8 O.L. (全 11 頁) 最終頁に続く

(21)出願番号

特願2000-332313(P2000-332313)

(71)出願人 000006507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(22)出願日 平成12年10月31日 (2000. 10. 31)

(72)発明者 内藤 嘉直

東京都武蔵野市中町2丁目9番32号 横河  
電機株式会社内

(72)発明者 花若 増生

東京都武蔵野市中町2丁目9番32号 横河  
電機株式会社内

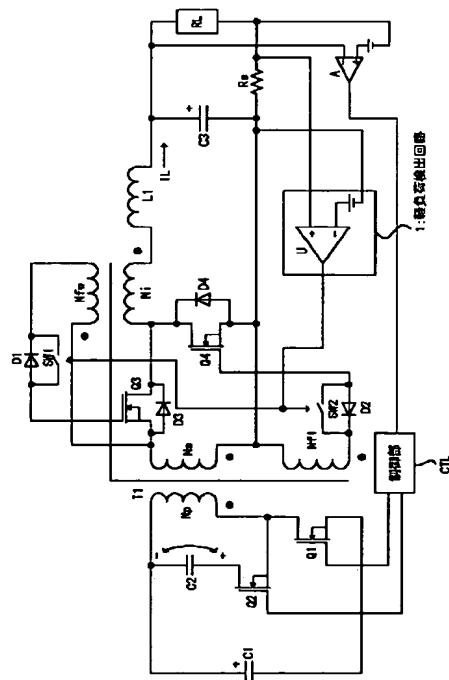
Fターム(参考) 5H006 CA02 CA07 CB07 DA04  
5H730 AA14 AS01 AS05 BB23 DD04  
EE02 EE08 EE10 EE13 EE59  
FD01 FD31 FG21

(54)【発明の名称】 DC/DCコンバータ

(57)【要約】

【課題】 軽負荷時の損失を防止するDC/DCコンバータを実現することを目的とする。

【解決手段】 本発明は、1次側回路から2次側回路に電圧変換を行うトランスに設けられた第1、第2のドライバ巻線により駆動する第1、第2のスイッチを備えた整流回路により、二次側回路の整流を行うフォワード型のDC/DCコンバータに改良を加えたものである。本装置は、出力の軽負荷を検出し、軽負荷時に第1、第2のスイッチをオフする軽負荷検出部を設けたことを特徴とする装置である。



## 【特許請求の範囲】

【請求項1】 1次側回路から2次側回路に電圧変換を行うトランスに設けられた第1、第2のドライブ巻線により駆動する第1、第2のスイッチを備えた整流回路により、二次側回路の整流を行うフォワード型のDC/DCコンバータにおいて、出力の軽負荷を検出し、軽負荷時に前記第1、第2のスイッチをオフする軽負荷検出部を設けたことを特徴とするDC/DCコンバータ。

【請求項2】 1次側巻線と2次側巻線と第1のドライブ巻線と第2のドライブ巻線とを備えたトランスと、電源からの電力を前記1次側巻線に断続的に通電させるメインスイッチと、前記1次側巻線に並列に接続され、コンデンサとサブスイッチの直列回路と、前記メインスイッチと前記サブスイッチとを交互にオンオフさせる制御信号を出力する制御部と、前記第1のドライブ巻線により駆動する第1のスイッチと前記第2のドライブ巻線により駆動する第2のスイッチとを備え、前記2次側巻線の発生する電流を整流する整流回路と、

この整流回路の出力を入力する出力コンデンサと、前記2次側巻線と前記出力コンデンサとの間に設けられるインダクタンス素子とを有するフォワード型のDC/DCコンバータにおいて、

出力の軽負荷を検出し、軽負荷時に前記第1、第2のスイッチをオフする軽負荷検出部を設けたことを特徴とするDC/DCコンバータ。

【請求項3】 インダクタンス素子は、コイル、または、トランスに設けられた第3の巻線の少なくとも一つを具備することを特徴とする請求項2記載のDC/DCコンバータ。

【請求項4】 軽負荷検出部は、軽負荷時に、第1、第2のスイッチをダイオード整流に切り換えることを特徴とする請求項1～3記載のDC/DCコンバータ。

【請求項5】 第1のドライブ巻線と第1のスイッチとの間に設けられる第3のスイッチと、第2のドライブ巻線と第2のスイッチとの間に設けられる第4のスイッチとを具備し、軽負荷検出部は、軽負荷時に前記第3、第4のスイッチをオフすることを特徴とする請求項1～4記載のDC/DCコンバータ。

【請求項6】 第3、第4のスイッチにダイオードを並列に設けたことを特徴とする請求項5記載のDC/DCコンバータ。

【請求項7】 第1、第2のスイッチは、MOSFETであることを特徴とする請求項1～6記載のDC/DCコンバータ。

【請求項8】 第1、第2のスイッチにダイオードを並列に設けたことを特徴とする請求項1～7記載のDC/DCコンバータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、フォワード型のDC/DCコンバータに関し、軽負荷時の損失を防止するDC/DCコンバータに関するものである。

## 【0002】

【従来の技術】スイッチング電源等の電源装置においては、直流入力電圧を絶縁して負荷回路に電力を供給する装置として、DC/DCコンバータが用いられている。

10 このような構成のDC/DCコンバータは、絶縁トランスの一次側巻線と二次側巻線の極性の違いによって、フォワード型とフライバック型が存在し、例えばフォワード型のDC/DCコンバータとして、米国特許U.S.P.441146, U.S.P.4959764等に開示されているようなものが知られている。このような装置を図6に示し説明する。

【0003】図6において、C1～C3はコンデンサ、Q1～Q4はn型のMOSFET、Np, Ns, Nfw, Nf1, Niは巻線、L1はコイル、RLは負荷回路、Aはエラーアンプ、CTLは制御部である。巻線Np, Ns, Nfw, Nf1, NiはトランジスタT1を構成し、MOSFET Q3, Q4は整流回路を構成する。ここで、巻数比は、Np ≥ Ns > Niとする。

【0004】コンデンサC1は、一端をコンデンサC2の一端、巻線Npの一端に接続する。コンデンサC2は、他端をMOSFET Q2のドレインに接続する。巻線Npは1次側巻線で、他端をMOSFET Q1のドレインに接続する。MOSFET Q2はサブスイッチで、ソースをMOSFET Q1のドレインに接続する。MOSFET Q1はメインスイッチで、ソースをコンデンサC1の他端に接続する。

【0005】巻線Nsは2次側巻線で、一端をMOSFET Q3のソースに接続し、他端をMOSFET Q4のソースに接続する。巻線Nfwはドライブ巻線で、一端をMOSFET Q3のソースに接続し、他端をMOSFET Q3のゲートに接続する。巻線Nf1はドライブ巻線で、一端をMOSFET Q4のソースに接続し、他端をMOSFET Q4のゲートに接続する。

【0006】MOSFET Q3, Q4は第1、第2のスイッチで、ドレインを巻線Niの一端に接続する。巻線Niは、他端をコイルL1の一端に接続する。コイルL1はインダクタンス素子で、他端をコンデンサC3の一端に接続する。コンデンサC3は出力コンデンサで、他端を巻線Nsの他端に接続する。負荷回路RLはコンデンサC3に並列に接続する。

【0007】エラーアンプAは、マイナス端をコンデンサC1の一端に接続し、プラス端を、基準電圧を介して、コンデンサC1の他端に接続する。制御部CTLは、エラーアンプAの出力に基づいて、MOSFET Q1, Q2のゲートに出力を行う。

【0008】このような装置を以下に説明する。図7、8は図6に示す装置の動作を示したタイミングチャートで、図8は図7の拡大図である。図7、8において、(a)はMOSFET Q1のドレイン-ソース電圧Vds、(b)はMOSFET Q1のドレイン電流Id、(c)はMOSFET Q2のドレイン電流Id、(d)はコイルL1の電流IL、(e)はMOSFET Q2のゲート-ソース電圧Vgs、(f)はMOSFET Q1のゲート-ソース電圧Vgs、(g)はMOSFET Q3のゲート-ソース電圧Vgs、(h)はMOSFET Q4のゲート-ソース電圧Vgsである。そして、(i)は巻線Nsの電流INs、(j)は巻線Nsの電圧VNs、(k)は巻線Niの電圧VNi、(l)はコイルL1の電圧VL1、(m)はMOSFET Q4のドレイン電流Id、(n)はコンデンサC1の出力電流Ig、(o)はコイルC2の電圧VC2、(p)は出力電圧Voである。

【0009】また、図9～14は図6に示す装置の動作を説明する図で、等価回路で示される。図9は各部電圧の極性を示し、図10～14は、それぞれ、時刻t3～t4期間、時刻t4～t5期間、時刻t5～t6期間、時刻t6～t7期間、時刻t7～t8期間の動作を示す。

【0010】(1) 時刻t0～t1、t1～t2、t2～t3期間

コンデンサC1は、図示しない交流電源からの電圧を直流電圧にする平滑コンデンサで、直流電源として動作する。そして、エラーアンプAが出力電圧Voと基準電圧と比較し、比較結果により、制御部CTLがMOSFET Q1、Q2を交互にオン、オフする。これにより、出力電圧Voを一定に保つ。そして、コンデンサC1の直流電圧を、トランジスタT1を介して、電圧変換する。

【0011】このとき、MOSFET Q1がオンのとき、トランジスタT1(ドライブ巻線Nfw、Nf1)により、MOSFET Q3がオンとなり、MOSFET Q4はオフとなる。逆に、MOSFET Q1がオフのとき、トランジスタT1により、MOSFET Q3がオフとなり、MOSFET Q4がオンとなる。

【0012】MOSFET Q3がオンのとき、巻線Nsの電流INsにより、コンデンサC3は充電され、MOSFET Q4がオンのとき、巻線Ni、コイルL1のインダクタンスにより、コンデンサC3は充電される。また、巻線Niにより、リップル電流をゼロにする。

【0013】そして、コンデンサC3が負荷回路RLに電力を供給する。なお、時刻t0～t3期間は一般的な動作なので、詳細な動作説明は省略する。

【0014】(2) 時刻t3～t4期間(図10)  
MOSFET Q2のオン期間中にMOSFET Q2の出力容量はボディーダイオードの順方向電圧まで放電されている。このため、時刻t3時に、MOSFET Q2が

オフとなり、クランプコンデンサC2からトランジスタT1の巻線Npの方向に電流が流れ、MOSFET Q2の出力容量をコンデンサC2の電圧と平衡するまで充電する。このため、MOSFET Q1のドレイン-ソース電圧Vdsは入力平滑コンデンサC1の電圧Vgまで低下する。そして、巻線Npに電流が流れることにより、巻線Nf1がMOSFET Q4をオンとし、コンデンサC3が放電される。

【0015】(3) 時刻t4～t5期間(図11)

10 時刻t4になり、制御部CTLは、エラーアンプAの出力により、軽負荷(無負荷も含む)を検出し、MOSFET Q1、Q2をオフとする。これは、スイッチング損失を減少させるためで、MOSFET Q2もオフするのは、クランプコンデンサC2に蓄積されているエネルギーが、MOSFET Q2、トランジスタT1の巻線Npからなる経路で短絡され、損失が発生するからである。

【0016】時刻t4のタイミングで、クランプ回路(コンデンサC2、MOSFET Q2)から巻線Npに

20 流れていた電流は流れなくなるが、巻線Npの漏れインダクタンスによって電流が流れづけようとする。このため、MOSFET Q1のボディーダイオードがオンし、巻線Np経由で入力平滑コンデンサC1に電流が流れれる。

【0017】MOSFET Q1のドレイン-ソースVdsは、MOSFET Q1のボディーダイオードがオンになるため、ボディーダイオードの順方向電圧まで低下する。

30 【0018】この電流により各巻線の極性が反転し、巻線NfwがMOSFET Q3をオンにする。一度、MOSFET Q3がオンしてしまうと、(巻線Nsの巻数)>(巻線Niの巻数)であるため、2次側平滑コンデンサC3から巻線Ns、Np経由で1次側平滑コンデンサC1への放電が起こる。

【0019】そして、コンデンサC1の充電に伴い、コンデンサC1の充電電流すなわちMOSFET Q1のドレイン電流Idは最終的には0となる。

【0020】(4) 時刻t5～t6期間(図12)

時刻t5のタイミングでは、まだMOSFET Q3がオンしているため、コイルL1に流れている電流ILが巻線Ni、Ns経由で巻線Npに流れ、時刻t3～t4期間に逆方向に充電されていたMOSFET Q2の出力容量をMOSFET Q2のボディーダイオードの順方向電圧まで充電する。

【0021】MOSFET Q2の出力容量が充電されると、MOSFET Q2のボディーダイオードがオンとなるため、コンデンサC2を充電する。充電にともないコイルL1の電流ILは減少する。

【0022】(5) 時刻t6～t7期間(図13)

コンデンサC2、MOSFET Q2の出力容量、巻線Npの共振により、コンデンサC2から巻線Np方向に電

流が流れ出し、各巻線の極性が反転し、巻線Nf1により、MOSFETQ4がオンになるため電流ILが逆方向に流れ出す。

【0023】(6) 時刻t7-t8期間(図14)

コンデンサC2、MOSFETQ2の出力容量、巻線Npの共振により、再び各巻線の極性が反転するため、巻線Nfwにより、MOSFETQ3がオンとなる。

【0024】この期間の動作は時刻t3-t4期間と同様であり、時刻t8のタイミングにおける各電圧、電流の極性は時刻t4と同じになるため、振動が持続することになる。

【0025】

【発明が解決しようとする課題】このように、軽負荷時の損失対策として、DC/DCコンバータを間欠動作させているが、DC/DCコンバータの停止時に異常振動の発生により、2次側平滑コンデンサC3に蓄えられているエネルギーが1次側に回生されることにより、出力電圧Voが早く低下する。このため、軽負荷時の損失が増加し、間欠動作のDC/DCコンバータの停止期間が短くなってしまうという問題点があった。

【0026】そこで、本発明の目的は、軽負荷時の損失を防止するDC/DCコンバータを実現することにある。

【0027】

【課題を解決するための手段】本発明は、1次側回路から2次側回路に電圧変換を行うトランスに設けられた第1、第2のドライブ巻線により駆動する第1、第2のスイッチを備えた整流回路により、二次側回路の整流を行うフォワード型のDC/DCコンバータにおいて、出力の軽負荷を検出し、軽負荷時に前記第1、第2のスイッチをオフする軽負荷検出部を設けたことを特徴とするものである。

【0028】

【発明の実施の形態】以下図面を用いて本発明の実施の形態を説明する。図1は本発明の一実施例を示した構成図である。ここで、図6と同一のものは同一符号を付し説明を省略する。

【0029】図1において、D1～D4はダイオード、SW1、SW2は第3、第4のスイッチ、Rsは電流検出抵抗、1は軽負荷検出回路である。

【0030】ダイオードD1は、アノードをMOSFETQ3のゲートに接続し、カソードを巻線Nfwの他端に接続する。ダイオードD2は、アノードをMOSFETQ4のゲートに接続し、カソードを巻線Nf1の他端に接続する。ダイオードD3、D4は、それぞれアノードをMOSFETQ3、Q4のソースに接続し、カソードをMOSFETQ3、Q4のドレインに接続する。スイッチSW1、SW2は、それぞれダイオードD1、D2に並列に設けられる。

【0031】電流検出抵抗Rsは、コンデンサC3の他

端と負荷回路RLの他端との間に設けられる。軽負荷検出回路1は、比較器Uにより構成される。比較器Uは、プラス端子を負荷回路RLの他端に接続し、マイナス端子を、基準電圧を介して、コンデンサC1の他端に接続し、出力がハイレベルのとき、スイッチSW1、SW2をオンし、ロウレベルのとき、オフする。

【0032】このような装置の動作を以下で説明する。図2は図1に示す装置の動作を説明するタイミングチャートである。なお、(a)～(p)は図7、8と同一である。

【0033】時刻t1のとき、負荷が軽くなり、出力電流が減少して、検出抵抗Rsの両端の電圧も減少する。この結果、軽負荷検出回路1(比較器U)が基準電圧より低くなるので、ロウレベルを出力する。これにより、スイッチSW1、SW2がオフとなり、巻線Nfw、Nf1をMOSFETQ3、Q4から切り離す。

【0034】このとき、巻線Nfw、Nf1の切り離しは、MOSFETQ1、Q2の制御タイミング、つまり、軽負荷状態への移行と無関係に行われるため、MO

20 S F E T Q 3 、 Q 4 をオンにする電圧が巻線Nfw、Nf1に発生していると、スイッチSW1、SW2のオフにより、MOSFETQ3、Q4のゲートに蓄積された電荷が放電できず、MOSFETQ3、Q4がオン状態を維持し、2次側回路を短絡してしまう。そこで、ダイオードD1、D2により、MOSFETQ3、Q4のゲートの電荷を放電させ、オフとする。

【0035】また、同期整流は、MOSFETQ3、Q4のボディーダイオード及びダイオードD3、D4により、継続される。

30 【0036】時刻t2のとき、エラーアンプAがロウレベルを出力し、この出力により、制御部CTLは軽負荷状態と判断し、MOSFETQ1、Q2をオフする。しかし、MOSFETQ3、Q4は、スイッチSW1、SW2によりすでにオフとなっているので、共振は継続しない。

【0037】このように、軽負荷検出回路1が軽負荷を検出し、整流回路を構成するスイッチSW1、SW2をオフして、MOSFETQ3、Q4の動作を停止させるので、DC/DCコンバータ停止時の1次側回路の共振によるMOSFETQ3、Q4の誤動作を防止し、2次側回路から共振に必要なエネルギーを1次側回路に供給することを防止できる。つまり、軽負荷時の損失を防止することができる。

【0038】なお、ダイオードD3、D4を設けた例を示したが、MOSFETQ3、Q4のボディーダイオードにより、整流が行われるため、ダイオードD3、D4はない構成でもよい。MOSFETQ3、Q4のボディーダイオードでの損失が通常の整流ダイオードよりも劣るとしても、軽負荷時なので特に問題とならない。

【0039】次に、第2の実施例を図3に示し説明す

る。ここで、図1と同一のものは同一符号を付して説明を省略する。

【0040】図3において、N<sub>f w'</sub>はドライブ巻線、Q5はn型のMOSFET、Q6、Q7はPNPトランジスタ、Q8はNPNトランジスタ、R1～R5は抵抗、D5～D7はダイオード、U1は比較器である。巻線N<sub>p</sub>、N<sub>s</sub>、N<sub>f w'</sub>、N<sub>f l</sub>、N<sub>i</sub>はトランジスタT2を構成し、MOSFET Q4、Q5は整流回路を構成する。そして、トランジスタQ6、Q7、抵抗R1～R4、ダイオードD2、D5～D7は同期整流停止回路2を構成し、トランジスタQ8、抵抗R5、比較器U1は軽負荷検出回路3を構成する。

【0041】MOSFET Q5は、MOSFET Q3の代わりに設けられ、ドレンを巻線N<sub>s</sub>の他端に接続し、ソースをMOSFET Q4のソースに接続する。巻線N<sub>f w'</sub>は、巻線N<sub>f w</sub>の代わりに設けられ、一端を巻線N<sub>s</sub>の他端に接続し、他端をトランジスタQ6のエミッタに接続する。

【0042】トランジスタQ6は、コレクタをMOSFET Q5のゲートに接続する。抵抗R1はトランジスタQ6のエミッタとベース間に設けられる。ダイオードD5は、アノードをトランジスタQ6のコレクタに接続し、カソードをトランジスタQ6のエミッタに接続する。

【0043】トランジスタQ7は、スイッチSW2の代わりに設けられ、コレクタをダイオードD2のアノードに接続し、エミッタをダイオードD2のカソードに接続する。抵抗R2はトランジスタQ7のエミッタとベース間に設けられる。

【0044】抵抗R3、R4は、それぞれ、一端をトランジスタQ6、Q7のベースに接続する。ダイオードD6、D7は、それぞれ、アノードを抵抗R3、R4の他端に接続する。

【0045】トランジスタQ8は、コレクタをダイオードD6、D7のカソードに接続し、エミッタをコンデンサC3の他端に接続する。抵抗R5は一端をトランジスタQ8のベースに接続する。比較器U1は出力を抵抗R5の他端に接続し、プラス端子を負荷回路RLの他端に接続し、マイナス端子を、基準電圧を介して、コンデンサC3の他端に接続する。

【0046】このような装置は、MOSFET Q3の代わりに、MOSFET Q5を設け、これに伴い、巻線N<sub>f w</sub>の代わりに巻線N<sub>f w'</sub>が設けられている。そして、第3、第4のスイッチSW1、SW2の具体的構成として、トランジスタQ6、Q7による例を示し、軽負荷検出部の具体的構成として、軽負荷検出回路3を示したものである。従って、図1に示す装置と動作は同一であるので、説明を省略する。

【0047】そして、第3の実施例を図4に示し以下に説明する。ここで、図3と同一のものは同一符号を付し

説明を省略する。

【0048】図4において、Q9、Q10はp型のMOSFET、U2は比較器である。トランジスタQ9、Q10、抵抗R1～R4、ダイオードD6、D7は同期整流停止回路4を構成し、トランジスタQ8、抵抗R5、比較器U2は軽負荷検出回路5を構成する。

【0049】MOSFET Q9は、トランジスタQ6、ダイオードD5の代わりに設けられ、ソースを巻線N<sub>f w'</sub>の他端に接続し、ドレンをMOSFET Q5のゲートに接続し、ゲートを抵抗R3の一端に接続する。

【0050】MOSFET Q10は、トランジスタQ7、ダイオードD2の代わりに設けられ、ソースを巻線N<sub>f l</sub>の他端に接続し、ドレンをMOSFET Q4のゲートに接続し、ゲートを抵抗R4の他端に接続する。

【0051】比較器U2は、抵抗R<sub>s</sub>、比較器U1の代わりに設けられ、出力を抵抗R5の他端に接続し、プラス端子をエラーアンプAの出力端に接続し、マイナス端子を、基準電圧を介して、負荷回路RLの他端に接続する。

【0052】このような装置は、第3、第4のスイッチの具体的構成として、MOSFET Q9、Q10による例を示し、MOSFET Q3、Q4のボディーダイオードが、ダイオードD2、D5の代わりをするので、不要となる。また、エラーアンプAの出力電圧が出力電力に比例するため、軽負荷検出回路5の検出点をエラーアンプAの出力電圧としている。従って、本実施例と図1に示す装置と動作は同一であるので、説明を省略する。

【0053】また、第4の実施例を図5に示し説明する。ここで、図3、4と同一のものは同一符号を付し説明を省略する。

【0054】図5において、トランジスタQ6、MOSFET Q10、抵抗R1～R4、ダイオードD5～D7は同期整流停止回路6を構成し、巻線N<sub>p</sub>、N<sub>s</sub>、N<sub>f w'</sub>、N<sub>f l</sub>はトランジスタT3を構成する。すなわち、同期整流停止回路6は、第3のスイッチをトランジスタQ5で構成し、第4のスイッチをMOSFET Q10で構成したものである。トランジスタT3は、トランジスタT2に巻線N<sub>i</sub>をなくしたものである。動作については、巻線N<sub>i</sub>によるリップル電流をゼロにすることがなくなるだけで、通常動作は通常のDC/DCコンバータと同一であり、軽負荷時の動作は、図1に示す装置と同一なので説明を省略する。

【0055】なお、本発明はこれに限定されるものではなく、スイッチをMOSFET Q1～Q5により構成した例を示したが、トランジスタやリレー等で構成してもよい。但し、図1に示すように、MOSFETのボディーダイオードを利用できないので、ボディーダイオードと同一方向に、ダイオードを設けなければならないことは言うまでもない。

【0056】また、図5に示すように、巻線N<sub>i</sub>をなく

す構成を示したが、巻線  $N_i$  を残し、コイル  $L_1$  をなくす構成でもよい。

【0057】そして、インダクタンス素子（巻線  $N_i$ 、コイル  $L_1$ ）をMOSFET Q4のソースとコンデンサ C3との他端との間に設ける構成にしてもよい。

【0058】

【発明の効果】本発明によれば、軽負荷検出部が軽負荷を検出し、整流回路を構成する第1、第2のスイッチの動作を停止させるので、DC/DCコンバータ停止時の1次側回路の共振による第1、第2のスイッチの誤動作を防止し、2次側回路から共振に必要なエネルギーを1次側回路に供給することを防止できる。つまり、軽負荷時の損失を防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示した構成図である。

【図2】図1に示す装置の動作を示したタイミングチャートである。

【図3】本発明の第2の実施例を示した構成図である。

【図4】本発明の第3の実施例を示した構成図である。

【図5】本発明の第4の実施例を示した構成図である。

【図6】従来のDC/DCコンバータの構成を示した図である。

\* 【図7】図6に示す装置の動作を示したタイミングチャートである。

【図8】図7に示す装置の拡大図である。

【図9】図6に示す装置の動作を説明する図である。

【図10】図6に示す装置の動作を説明する図である。

【図11】図6に示す装置の動作を説明する図である。

【図12】図6に示す装置の動作を説明する図である。

【図13】図6に示す装置の動作を説明する図である。

【図14】図6に示す装置の動作を説明する図である。

10 【符号の説明】

1, 3, 5 軽負荷検出回路

2, 4 同期整流停止回路

C1~C3 コンデンサ

CTL 制御部

D1~D5 ダイオード

L1 コイル

Np, Ns, Nfw, Nfw', Nf1, Ni 巻線

Q1~Q5, Q9, Q10 MOSFET

Q6, Q7 トランジスタ

R<sub>s</sub> 抵抗

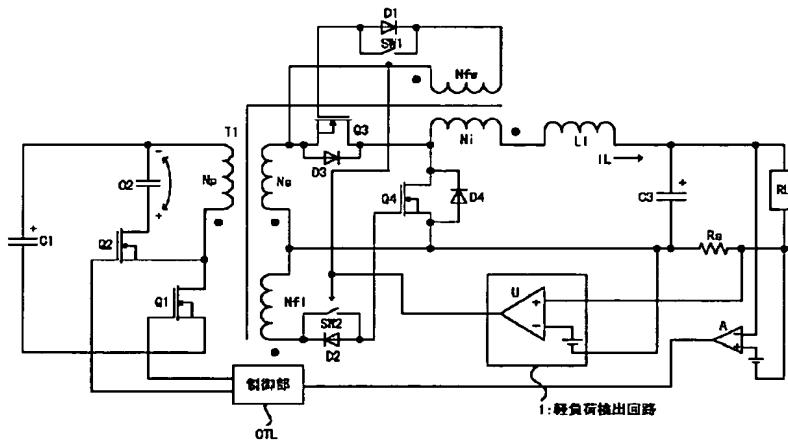
SW1, SW2 スイッチ

T1~T3 トランジス

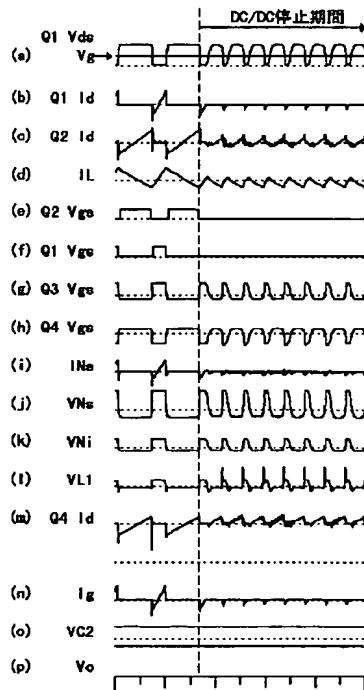
20

\*

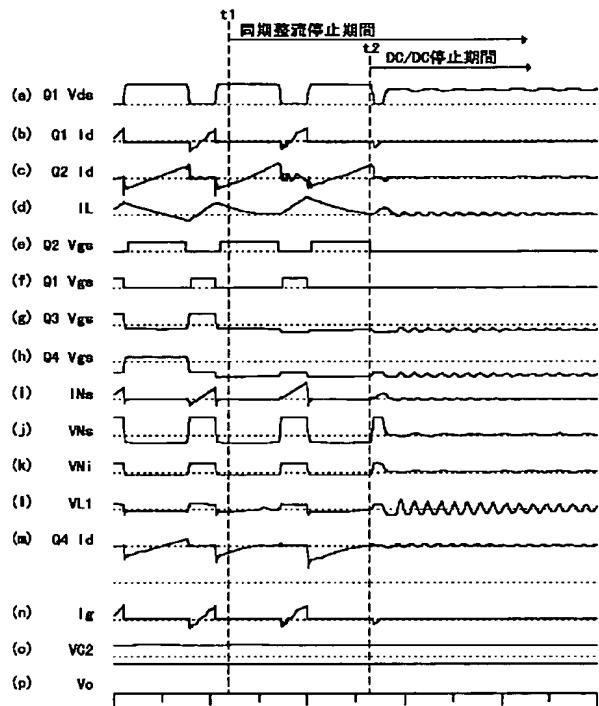
【図1】



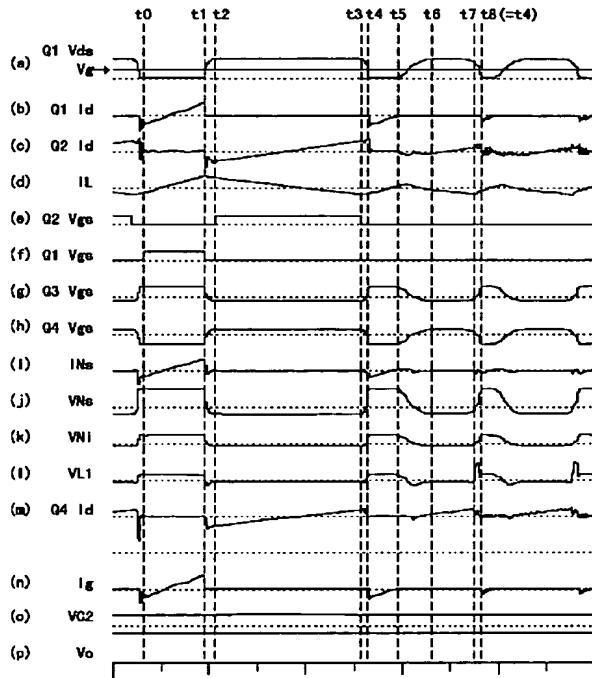
【図7】



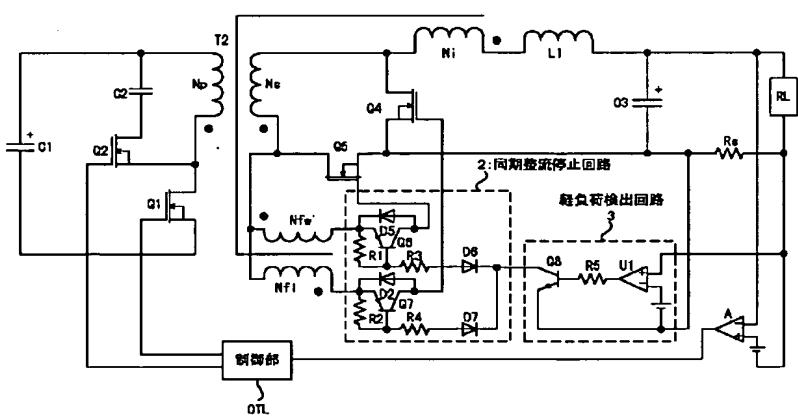
【図2】



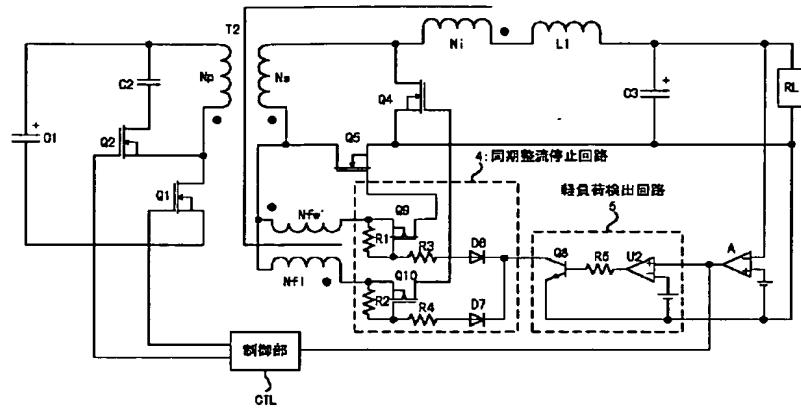
【図8】



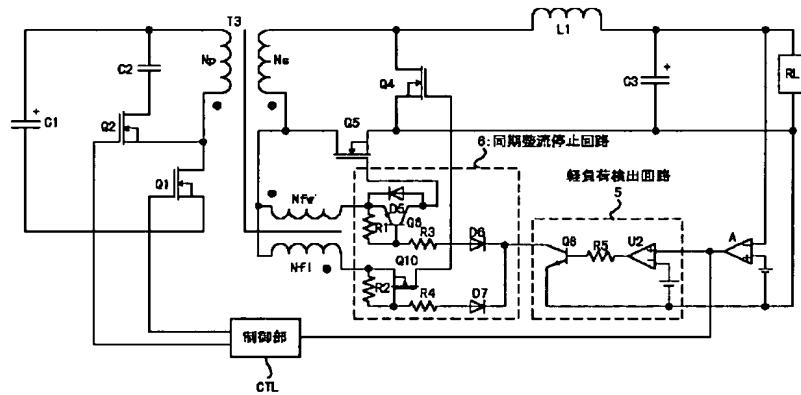
【図3】



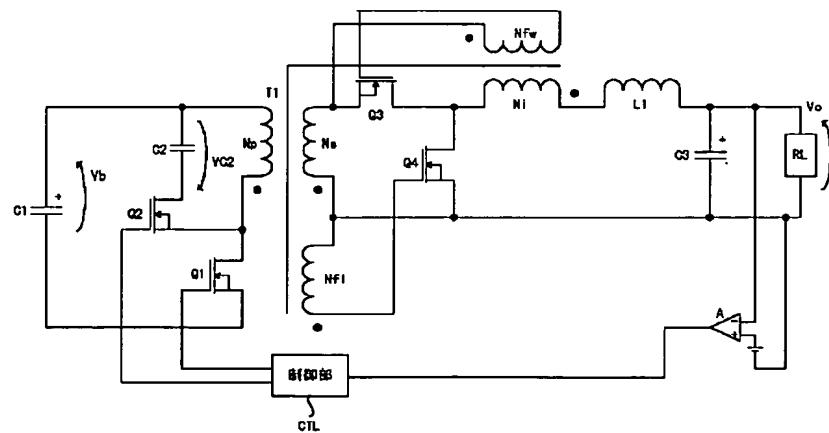
【図4】



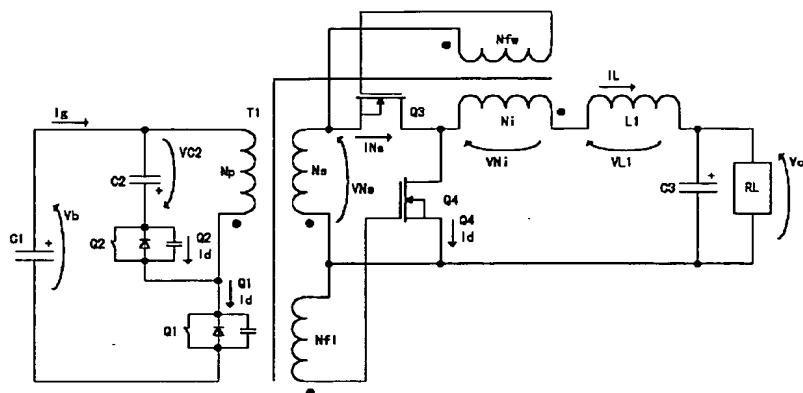
【図5】



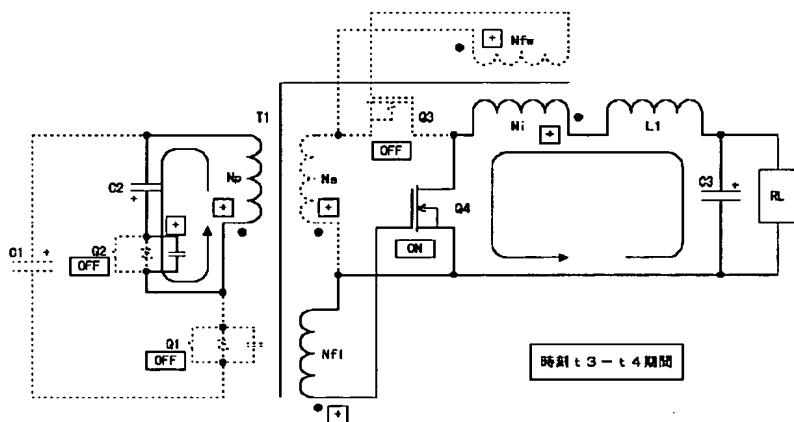
【図6】



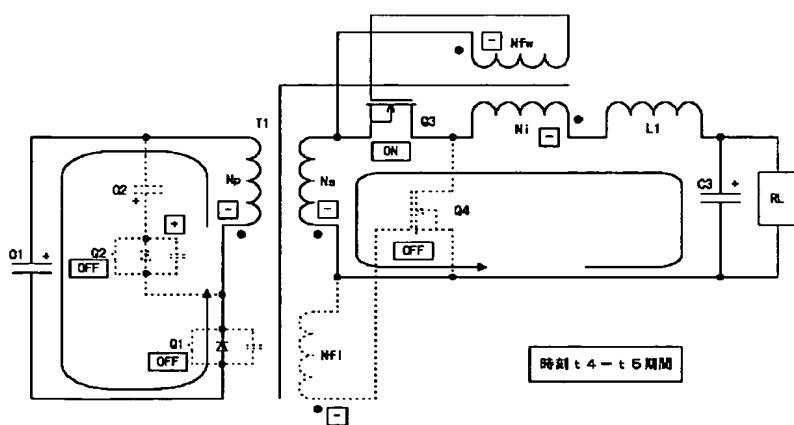
【図9】



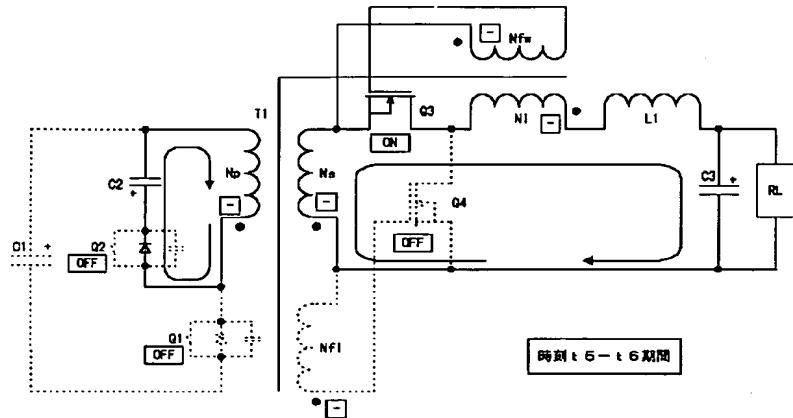
【図10】



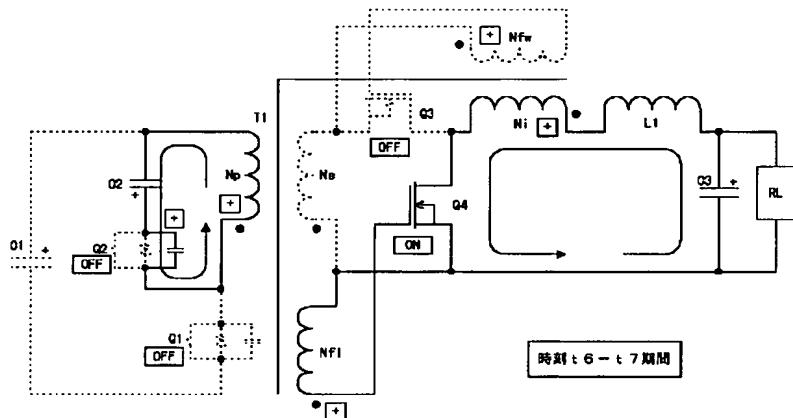
【図11】



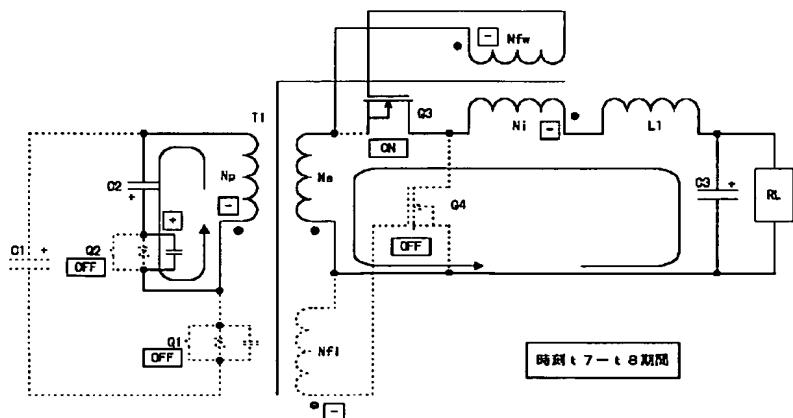
【図12】



【図13】



【図14】



(11)

特開2002-142455

フロントページの続き

(51) Int.Cl.  
H 02 M    7/21

識別記号

F I  
H 02 M    7/21

テ-マコード(参考)  
A